

207

Voltage boosting circuit for semiconductor device

Patent Number: ☐ US6262621
Publication date: 2001-07-17
Inventor(s): JEON BAEK-YEONG (KR)
Applicant(s): SAMSUNG ELECTRONICS CO LTD (US)
Requested Patent: ☐ JP2000340756
Application: US20000559236 20000426
Priority Number(s): KR19990015080 19990427
IPC Classification: G05F1/10
EC Classification: G11C5/14P, H03K5/08
Equivalents: ☐ DE19961135, KR2000067347,

Abstract

A voltage boosting circuit of a semiconductor device is disclosed. The voltage boosting circuit includes a voltage detector, an active kicker controller, and an active kicker. The voltage detector generates a detection signal after the determining whether a potential of the signal to be boosted is higher than a boost voltage target level. The active kicker controller generates an active kicker control signal in response to the detection signal and the clock signal. The active kicker drives the signal to be boosted in response to the active kicker control signal. The voltage detector includes a current source, a number of switching devices, a current compensating circuit, and an inverter circuit. The current compensating circuit provides a compensating current proportional to a power supply voltage

Data supplied from the esp@cenet database - I2

(51) Int.Cl. ⁷	識別記号	F I	テームド(参考)
H 0 1 L 27/04		H 0 1 L 27/04	G
21/822		G 0 5 F 3/24	Z
G 0 5 F 3/24			

審査請求 未請求 請求項の数12 O L (全 9 頁)

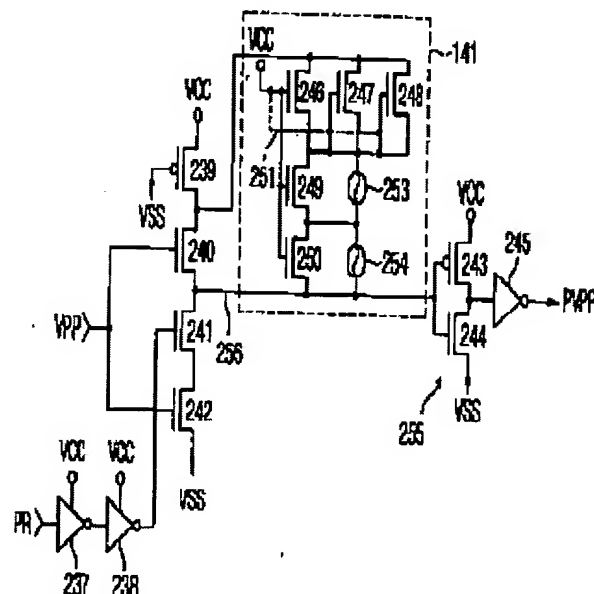
(21) 出願番号	特願2000-126391(P2000-126391)	(71) 出願人	390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416
(22) 出願日	平成12年4月26日 (2000. 4. 26)	(72) 発明者	全栢泳 大韓民国京畿道龍仁市起興邑農西里7-1 番地
(31) 優先権主張番号	99-15080	(74) 代理人	100076428 弁理士 大塚 康徳 (外2名)
(32) 優先日	平成11年4月27日 (1999. 4. 27)		
(33) 優先権主張国	韓国 (KR)		

(54) 【発明の名称】 半導体装置の電圧検出回路及び電圧ブースティング回路

(57) 【要約】

【課題】 ブースター電圧の急激な変化を防止する。

【解決手段】 本発明による電圧ブースティング回路には、アクティブモードで昇圧された信号ラインの電位を検出するための電圧検出器が提供される。電圧検出器は補償電流供給部を含み、補償電流供給部は論理スレシールド電圧レベルを有する判別部の入力と電源電圧に連結される。判別部の入力電位が電源電圧の変化によって低下する場合は補償電流供給部は電源電圧の変化に比例して補償電流を判別部の入力に供給する。これによって、電圧ブースティング回路によって駆動される信号ラインの電位が急激に変化することを防止できる。



【特許請求の範囲】

【請求項1】 第1電源電圧に連結された一端及び他端を有する電流源と、前記電流源の他端に連結された第1端子、ブースター電圧を受ける第2端子、及び所定のノードに連結された第3端子を有する第1スイッチング素子と、

前記ノードに連結された第1端子、前記第1電源電圧に連結された第2端子、及び第3端子を有する第2スイッチング素子と、

前記第2スイッチング素子の第3端子に連結された第1端子、前記ブースター電圧を受ける第2端子、及び第2電源電圧に連結された第3端子を有する第3スイッチング素子と、

前記電流源の他端、前記ノード、及び前記第1電源電圧に連結され、前記第1電源電圧に比例する量の補償電流を前記ノードに供給する補償電流供給部と、を含むことを特徴とする半導体装置の電圧検出回路。

【請求項2】 前記ノードに連結され、所定の論理スレシヨルド電圧を有する判別部を更に含み、前記判別部は前記ノードの電位が前記論理スレシヨルド電圧レベルより低い場合に検出信号を出力することを特徴とする請求項1に記載の半導体装置の電圧検出回路。

【請求項3】 前記補償電流供給部は、前記電流源の他端に連結された第1端子、前記第1電源電圧に連結された第2端子、及び前記ノードに連結された第3端子を有する第4スイッチング素子を含むことを特徴とする請求項1に記載の半導体装置の電圧検出回路。

【請求項4】 前記補償電流供給部は、前記第4スイッチング素子の第3端子に連結された第1端子、前記第1電源電圧に連結された第2端子、及び第3端子を有する第5スイッチング素子と、

前記第5スイッチング素子の第3端子に連結された第1端子、前記第1電源電圧に連結された第2端子、及び前記ノードに連結された第3端子を有する第6スイッチング素子と、

前記第5スイッチング素子の第1及び第3端子の間に連結された第1オフション素子と、

前記第6スイッチング素子の第1及び第3端子の間に連結された第2オフション素子を更に含むことを特徴とする請求項3に記載の半導体装置の電圧検出回路。

【請求項5】 前記補償電流供給部は、前記電流源の他端に連結された第1端子、前記第1及び第2オフション素子を通じて前記ノードに共通連結された第2及び第3端子を有する第7スイッチング素子と、前記電流源の他端に連結された第1端子、前記第1及び第2オフション素子を通じて前記ノードに共通連結された第2及び第3端子を有する第8スイッチング素子を更に含むことを特徴とする請求項4に記載の半導体装置の電圧検出回路。

【請求項6】 前記第7及び第8MOSトランジスタ

の第2端子を前記第1電源電圧に連結するためのメタルラインオプションを更に含むことを特徴とする請求項5に記載の半導体装置の電圧検出回路。

【請求項7】 前記第1又は第8スイッチング素子はNMOSトランジスタで各々構成されることを特徴とする請求項5に記載の半導体装置の電圧検出回路。

【請求項8】 クロック信号にตอบสนองして動作し、昇圧された信号ラインの電位がブースター電圧目標レベルより高いか否かを検出してその検出結果として検出信号を発生する電圧検出器と、

前記検出信号及び前記クロック信号にตอบสนองしてアクティブキッカー制御信号を発生するアクティブキッカーコントローラと、

前記アクティブキッカー制御信号にตอบสนองして前記信号ラインを駆動するアクティブキッカーとを含み、

前記電圧検出器は、第1電源電圧に連結された一端及び他端を有する電流源と、

前記電流源の他端に連結された第1端子、ブースター電圧を受ける第2端子、及び所定のノードに連結された第3端子を有する第1MOSトランジスタと、

前記ノードに連結された第1端子、前記クロック信号を受ける第2端子、及び第3端子を有する第2MOSトランジスタと、

前記第2MOSトランジスタの第3端子に連結された第1端子、前記第1電源電圧に連結された第2端子、及び第2電源電圧に連結された第3端子を有する第3MOSトランジスタと、

前記電流源の他端、前記ノード、及び前記第1電源電圧に連結され、前記第1電源電圧に比例する量の補償電流を前記ノードに供給する補償電流供給部と、

前記ノードに連結され所定の論理スレシヨルド電圧レベルを有し、前記ノードの電位が前記論理スレシヨルド電圧レベルより低い場合に検出信号を出力する判別部と、を含むことを特徴とする半導体装置の電圧プースティング回路。

【請求項9】 前記補償電流供給部は、前記電流源の他端に連結された第1端子、前記第1電源電圧に連結された第2端子、前記ノードに連結された第3端子を有する第4MOSトランジスタを含むことを特徴とする請求項8に記載の半導体装置の電圧プースティング回路。

【請求項10】 前記補償電流供給部は、前記第4MOSトランジスタの第3端子に連結された第1端子、前記第1電源電圧に連結された第2端子、及び第3端子を有する第5MOSトランジスタと、

前記第5MOSトランジスタの第3端子に連結された第1端子、前記第1電源電圧に連結された第2端子、及び前記ノードに連結された第3端子を有する第6MOSトランジスタと、

前記第5MOSトランジスタの第1及び第3端子の間

に連結された第1オプショソ素子と、
前記第6MOSトランジスターの第1及び第3端子の間に連結された第2オプショソ素子を更に含むことを特徴とする請求項9に記載の半導体装置の電圧ブースティング回路。

【請求項11】 前記補償電流供給部は、
前記電流源の他端に連結された第1端子、前記第1及び第2オプショソ素子を通じて前記ノードに共通連結された第2及び第3端子を有する第7MOSトランジスターと、
前記電流源の他端に連結された第1端子、前記第1及び第2オプショソ素子を通じて前記ノードに共通連結された第2及び第3端子を有する第8MOSトランジスターと、
を更に含むことを特徴とする請求項10に記載の半導体装置の電圧ブースティング回路。

【請求項12】 前記第7及び第8MOSトランジスターの第2端子を前記第1電源電圧に連結するためのメタルラインオプショソを更に含むことを特徴とする請求項11に記載の半導体装置の電圧ブースティング回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に係り、より具体的には、電源電圧より高い電圧を生成する電圧ブースティング回路を具備した半導体装置に関する。

【0002】

【技術の技術】電圧ブースティング回路は、電源電圧(VCC)より高い電圧を有する昇圧された信号の生成及び維持を必要とする半導体装置に有用である。例えば、半導体メモリ装置においては、比較的低い電源電圧を使用し、不揮発性半導体メモリ装置のプログラムやダイナミックランダムアクセスメモリ装置での書き込み及び読み出し動作のために、一般的には、ワードラインの電圧を比較的高い電圧に昇圧する。

【0003】図1は、従来技術による電圧ブースティング回路の構成を示すブロック図であり、"VOLTAGE BOOSTING CIRCUITS HAVING BACKUP VOLTAGE BOOSTING CAPABILITY"と言う名称で米国特許第5,796,293号に開示されている。図2は、図1の第2検出器(18)を示す回路図である。

【0004】米国特許第5,796,293号に開示されたように、メイン電圧ブースティング回路(上部分)及びバックアップ電圧ブースティング回路(下部分)は、電圧ブースティング回路(1)を構成する。メイン電圧ブースティング回路は、電圧ブースティング回路(1)を含む半導体装置がスタンバイモードにある時に信号ライン(VPP)を駆動し、バックアップ電圧ブースティング回路は、電圧ブースティング回路(1)を有

する半導体装置がアクティブモードにある時に信号ライン(VPP)を駆動する。図1に図示された各構成要素の動作は米国特許第5,796,293号に詳細に説明されており、ここではその説明を省略する。

【0005】図2に示す第2検出器(18)は、信号ライン(VPP)がブースター電圧目標レベル(boost voltage target level)以下に低下すると、ノード(69)に論理ハイ信号を生成する。インバータ(61)の出力はPVPPLATCHの各上昇エッジでラッチされ維持される(PVPPLATCHはマスタークロック(PR)の上昇エッジに比べて若干遅れて変化する)。従って、信号ライン(VPP)が第2検出器(18)が動作するように設定されたブースター電圧目標レベル以下であると、出力(VPPDETA)はロウ状態からハイ状態に遷移し信号ライン(VPP)がブースター電圧目標レベル以上に高くなるまでそのハイ状態が維持される。

【0006】当業者に周知のように、半導体装置の信頼性は、例えば、テストモードにおいて、外部から印加する電源電圧(以下、外部電源電圧という)を高めることでテストされ得る。外部電源電圧が特定電圧(例えば、テストされる半導体装置の動作電圧範囲内の電圧)であるとき、半導体装置内で使用される電圧(VCC;以下内部電源電圧という)は内部電源電圧発生回路を使用することで一定に維持される。一方、外部電源電圧が例えばテストモードにおいて特定電圧よりも高くなると、内部電源電圧(VCC)も外部電源電圧の上昇に比例して増加する。後者の場合、従来技術による第2検出器(18)で問題が生ずる可能性がある。以下、これを詳細に説明する。

【0007】内部電源電圧(VCC)が増加することによって、NMOSトランジスター(57)を通じて流れる電流が増加する。これはNMOSトランジスター(57)のゲートが内部電源電圧(VCC)に連結されているからである。従って、ノード(N1)の電位は、内部電源電圧(VCC)の上昇に応じて低下し、信号ライン(VPP)がブースター電圧目標レベル以上に高くなるまで、出力(VPPDETA)はハイ状態に維持される。これによって、バックアップ電圧ブースティング回路は、出力(VPPDETA)がハイからロウに遷移するまで信号ライン(VPP)を駆動する。

【0008】その上、NMOSトランジスター(58)のゲートが信号ライン(VPP)に連結されているため、信号ライン(VPP)の電位が増加することによって、ノード(N1)の電位は益々低くなる。このため、バックアップ電圧ブースティング回路は、信号ライン(VPP)の電位がブースター電圧目標レベルより高くなっても信号ライン(VPP)を駆動する。従って、信号ライン(VPP)の電位は、内部電源電圧(VCC)(又は外部電源電圧)の上昇に伴って急激に上昇する。

これは、信号ライン（VPP）の電位変化が比較的急な傾きを有することを意味する。

【0009】従って、米国特許第5,796,293号に開示された回路では、急激に上昇する信号ライン（VPP）の電位によって、信号ライン（VPP）に連結されたMOSトランジスタの電気的な特性が劣化する（例えば、MOSトランジスタゲート酸化膜に掛かる高電界によってゲート酸化膜が損傷し又は破壊される）。結局、従来技術の電圧ブースティング回路（1）を含む半導体装置の寿命及び信頼性が減少される。これは、例えば、収率の低下の原因になる。

【0010】

【発明が解決しようとする課題】本発明の一つの目的は、ブースター電圧の急激な変化を防止する点にある。

【0011】本発明の他の目的は、電源電圧より高いブースター電圧の目標レベルの調節を可能にする点にある。

【0012】本発明の更に他の目的は、電源電圧より高いブースター電源電圧の該電源電圧に対する傾きを制御する点にある。

【0013】

【課題を解決するための手段】上述したような目的を達成するための本発明の一つの特徴によると、次のような半導体装置の電圧ブースティング回路が提供される。この回路は、電圧ブースティング回路は電圧検出器、アクティブキッカーコントローラ、及びアクティブキッカーを含む。電圧検出器は、クロック信号にตอบสนองして動作し、昇圧された信号ラインの電位がブースター電圧目標レベルより高いか否かを検出して検出信号を発生する。アクティブキッカーコントローラは、検出信号及びクランク信号にตอบสนองしてアクティブキッカー制御信号を発生し、アクティブキッカー制御信号にตอบสนองして信号ラインを駆動する。特に、電圧検出器は、信号ラインの電位、即ち、ブースター電圧を抵抗分圧原理によって分配した電圧レベルを有するノードの電圧が判別部の論理スレシヨルド電圧レベルに比べて高いか又は低いかを検出する。内部又は外部電源電圧が高い電圧範囲に上昇する場合はノードの電圧が低くなる。これは、ブースター電圧の急激な上昇の原因になる。これを防止するために、電圧検出器には、ノード及び内部電源電圧に連結される補償電流供給部が提供される。本発明の補償電流供給部は、内部電源電圧が増加する場合にノードの電位が低下することを防止するために内部電源電圧に比例する補償電流をノードに供給し、その結果、ブースター電圧は内部電源電圧が高い電圧範囲に増加するとしても緩やかな傾きを持って増加される。

【0014】

【発明の詳細な説明】以下、図面を参照しながら本発明の好適な実施の形態を説明する。

【0015】図3は、本発明の好適な実施の形態に係る

半導体装置で使用される電圧ブースティング回路のブロック図である。電圧ブースティング回路（100）は、第1及び第2電圧ブースティング回路（100a）及び（100b）を有する。電圧ブースティング回路（100a）及び（100b）は、共に信号ライン（VPP）に共通連結されている。信号ライン（VPP）は、内部電源電圧（VCC）より高い昇圧された電位で駆動される。

【0016】この実施の形態によると、第1電圧ブースティング回路（100a）は、昇圧される信号ライン（VPP）の電位がスタンバイモードのブースター電圧目標レベル以下である場合に、論理ハイレベルの第1検出信号（VPPOSCE）を生成する第1検出器（110）、第1検出信号（VPPOSCE）にตอบสนองしてメインポンプ駆動信号（VPPDRV）を発生する発振器（120）、及びメインポンプ駆動信号（VPPDRV）にตอบสนองして信号ライン（VPP）を駆動するメインポンプ（130）を含む。

【0017】第2電圧ブースティング回路（100b）は、クロック信号（又はマスタクロック信号）（PR）にตอบสนองして、信号ライン（VPP）の電位がアクティブモードのブースター電圧目標レベル以下である場合に、第2検出信号（PVPP）を発生する第2検出器（140）、クロック信号（PR）及び第2検出信号（PVPP）にตอบสนองしてアクティブキッカー制御信号（PAKEDET）を発生するアクティブキッカーコントローラ（150）、及びアクティブキッカー制御信号（PAKEDET）にตอบสนองして信号ライン（VPP）を駆動するアクティブキッカー（160）を含む。アクティブキッカーコントローラ（150）は、ラッチ制御信号発生器（151）、ラッチ回路（152）及びアクティブキッカー制御信号発生器（153）を含む。

【0018】図4は、本発明の好適な実施の形態の第2電圧ブースティング回路（100b）における信号のタイミングを示す図面である。図5及び図9には、第1検出器（110）及び第2検出器（140）の好適な実施の形態が各々示されている。図6乃至図8には、ラッチ制御信号発生器（151）、ラッチ回路（152）、及びアクティブキッカー制御信号発生器（153）の好適な実施の形態が各々示されている。

【0019】図5の検出器（110）によると、第1検出信号（VPPOSCE）は、信号ライン（VPP）の電位（又はブースター電圧という）がスタンバイモードにおいて目標レベル以下まで低くなった場合に論理ハイレベルになる。このために、NMOS及びPMOSTランジスタ（201）～（206）のオン抵抗は、当業者に周知のように、ノード210に論理ロウレベルが発生するように設計される。メインポンプ（130）は、第1検出信号（VPPOSCE）にตอบสนองして動作する発振器（120）から供給されるメインポンプ駆動信号

(VPPDRV) に応答して信号ライン (VPP) を駆動する。発振器 (120)、メインポンプ (130)、アクティブキッカー (又はポンプ) (160) は、図1の従来技術と同一の構成を有する。

【0020】次いで、図6乃至図8を参照して、ラッチ制御信号発生器 (151)、ラッチ回路 (152)、及びアクティブキッカー制御信号発生器 (153) の動作を詳細に説明する。ラッチ制御信号発生器 (151) は、クロック信号 (PR) を受けて第1及び第2ラッチ制御信号 (PVPPLAT) 及び (PAKELAT) を発生する。具体的には、第1ラッチ制御信号 (PVPPLAT) は、クロック信号 (PR) とほぼ同一の波形を有するが、ロウからハイに移移する時にクロック信号 (PR) の上昇エッジから遅延する上昇エッジを有する。その遅延量は、7個のインバータ (211) ~ (217) 及びNANDゲート (218) によって定まる。第2ラッチ制御信号 (PAKELAT) は、ロウからハイに移移する時にクロック信号 (PR) の上昇エッジから遅延する上昇エッジを有する。その遅延量は、9個のインバータ (211) ~ (215) 及び (219) ~ (222)、及びNORゲート (223) によって定まる。図4から明らかなように、第2ラッチ制御信号 (PAKELAT) は、アクティブキッカー制御信号 (PAKEDET) がロウに移移することに応じてロウに非活性化される。

【0021】図7に示すように、ラッチ回路 (152) は、第2検出器 (140) から供給される出力 (PVP) を受けて、ラッチ制御信号 (PVPPLAT) 及び (PAKELAT) に応答して出力 (PDETAB) を生成する。具体的には、第1ラッチ制御信号 (PVPPLAT) が論理ハイレベルである時、第2検出器信号 (PVP) は、インバータ (224) 及び伝送ゲート (225) (インバータ、PMOS及びNMOSTランジスターで構成される) を通じてラッチ (226) に供給されラッチされる。ラッチ (226) の内容 (データ) は、第2ラッチ制御信号 (PAKELAT) がロウである時に、後段のラッチ (229) にラッチされる。第2ラッチ制御信号 (PAKELAT) がロウからハイ

に移移される時、NANDゲート (230) が出力信号 (PDETAB) を活性化すると共に、ラッチ (226) からの出力が伝送ゲート (228) (インバータ及びPMOS及びNMOSTランジスターで構成される) によって遮断される。以後、図4に示すように、第2ラッチ制御信号 (PAKELAT) がロウに移移することに応じて信号 (PDETAB) はハイになる。

【0022】次に、図8において、アクティブキッカー制御信号 (PAKEDET) は、ラッチ回路 (152) から供給される信号 (PDETAB) が論理ハイレベルから論理ロウレベルに移移する時にハイになり、アクティブキッカー (160) は、アクティブキッカー制御信号 (PAKEDET) に応答して信号ライン (VPP) を駆動する。図4に示すように、所定時間が経過した後に、アクティブキッカー制御信号 (PAKEDET) はハイからロウに移移し、これに応じて、第2ラッチ制御信号 (PAKELAT)、信号 (PDETAB) が順にロウ、ハイに各々非活性化される。

【0023】第1検出器 (110) と同様に、第2検出器 (140) は、クロック信号 (PR) に応答して動作し、信号ライン (VPP) の電位、即ち、ブースター電圧がアクティブモードのブースター電圧目標レベル以下まで低くなったか否かを検出して第2検出信号 (PVP) を発生する。第2検出器 (140) は、図9に示されたように連結された2個のPMOSTランジスター (239) 及び (243)、4個のNMOSTランジスター (240)、(241)、(242) 及び (244)、3個のインバータ (237)、(238) 及び (245) を有する。PMOSTランジスター (239) は電流源として動作し、PMOS及びNMOSTランジスター (243) 及び (244) は、所定の論理スレシールド電圧レベル、例えば、1Vで動作するように設定されたインバータ回路 (255) を構成する。

【0024】インバータ (245) 及び (255) は、判別部 (discrimination section) に対応する。論理変換電圧 (VLT) は、次の数式 (1) で決定され得る。

【0025】

$$VLT = (V_{tn} + VCC - |V_{tp}| \times \sqrt{k}) / (1 + \sqrt{k}) \quad \dots (1)$$

数式 (1) において、 V_{tn} はNMOSTランジスターのスレシールド電圧を示し、 V_{tp} はPMOSTランジスターのスレシールド電圧を示し、 $K (= \beta_P / \beta_N)$ は電圧伝達関数 (voltage transfer function) を示す。

【0026】ここで、電圧ブースティング回路 (100) を含む半導体装置がアクティブモードにあると仮定しよう。この条件下で、信号ライン (VPP) の電位がアクティブモードのブースター電圧目標レベル以下まで低くなると、ノード (256) の電位はインバータ回路

(255) の論理スレシールド電圧レベル (VLT) より低くなる。これにより、第2検出信号 (PVP) はインバータ回路 (245) 及び (255) を通じて論理ロウレベルに活性化され、その結果、信号ライン (VPP) はアクティブキッカー (160) によって駆動される。信号ライン (VPP) の電位がブースター電圧目標レベル以上である場合は、ノード (256) の電位はインバータ回路 (255) の論理スレシールド電圧レベル (VLT) より高くなる。これにより、第2検出信号 (PVP) はハイに非活性化され、その結果、アクテ

ィブキッカー（１６０）は非活性化される。

【００２７】従来技術で説明したように、従来は、テストモードの間に内部（又は外部）電源電圧（ＶＣＣ）が高い電源電圧範囲まで上昇し、その結果、信号ライン（ＶＰＰ）の電位が急激に上昇する。そこで、信号ライン（ＶＰＰ）の電位が急激に増加することを防止するために、本発明の好適な実施の形態に係る第２検出器（１４０）は、補償電流供給部（compensating current sourcing section）（１４１）を有する。補償電流供給部（１４１）は、電流源の一端子、即ち、PMOSTランジスター（２３９）のドレインと、ノード（２５６）との間に連結される。

【００２８】補償電流供給部（１４１）は、５個のNMOSTランジスター（２４６）～（２５０）、ヒューズオプション素子としての２個のヒューズ素子（２５３、２５４）、及びメタルオプションとしてのメタルライン（２５１）を有する。NMOSTランジスター（２４６）、（２４９）及び（２５０）の電流通路は、PMOSTランジスター（２３９）のドレインとノード（２５６）との間に直列に形成され、ゲートは内部電源電圧（ＶＣＣ）に共通に連結される。ヒューズ素子（２５３）及び（２５４）は、NMOSTランジスター（２４９）及び（２５０）の電流通路に各々並列に連結される。ヒューズ素子（２５３）及び（２５４）を通じてノード２５６に連結されたゲートを有するNMOSTランジスター（２４７）及び（２４８）の電流通路は、ランジスター（２３９）のドレインとNMOSTランジスター（２４６）のソースとの間に並列に連結され、これは電流供給を増加させるためのパスとして作用する。NMOSTランジスター（２４７）及び（２４８）のゲートは、メタルライン（２５１）を通じて電源電圧（ＶＣＣ）に連結され得る。このような回路構成によると、メタルライン（２５１）が形成されない場合は、ランジスター（２４７）及び（２４８）はターンオフする。これと反対に、メタルライン（２５１）が形成される場合は、ランジスター（２４７）及び（２４８）はターンオンする。

【００２９】内部電源電圧（ＶＣＣ）が、例えば、テスト動作の間に増加すると仮定しよう。内部電源電圧（ＶＣＣ）を有するクロック信号（ＰＲ）がNMOSTランジスター（２４１）のゲートに印加されるため、NMOSTランジスター（２４１）を通じて流れる電流は内部電源電圧（ＶＣＣ）に比例して増加する。同時に、NMOSTランジスター（２４１）を通じて流れる電流の大きさに相当する補償電流がNMOSTランジスター（２４６）（ゲートが内部電源電圧（ＶＣＣ）に連結されている）及びヒューズ素子（２５３）及び（２５４）を通じてノード２５６に供給される（この時、メタルライン（２５１）は形成されない）。即ち、ノード（２５６）

の電位は補償電流部（１４１）を通じて補償され（補償電流がNMOSTランジスター（２４１）を通じて流れる電流の大きさに比例して供給される）、その結果、信号ライン（ＶＰＰ）の電位が急激に上昇することがない。これは、図１０から明らかなように、信号ライン（ＶＰＰ）の電位傾きが内部電源電圧（ＶＰＰ）（又は外部電源電圧）の増加に対して緩慢な傾きを有するように抑制されることを意味する。結果的に、電圧ブースティング回路を有する半導体装置の寿命及び信頼性の低下を防止することができる。その上、収率の低下をも防止することができる。

【００３０】本発明の好適な実施の形態に係る第２検出器（１４０）によると、さらに、電圧ブースティング回路（１００）のブースター電圧目標レベルを調節することができる。具体的には、フューズ素子（２５３）及び（２５４）が導通しない場合、ノード（２５６）の電位はフューズカッティングの前より高くなり、第２検出器信号（ＰＶＰＰ）は、ブースター電圧が目標レベル電圧より低いとしても続けてハイに維持される。これは、アクティブキッカー（１６０）を非活性化させ、その結果、信号ライン（ＶＰＰ）の電位は低下する。従って、ブースター電圧目標レベルはフューズカッティング前より低く設定される。

【００３１】一方、フューズ素子（２５３）及び（２５４）が切断されず、メタルライン（２５１）が形成されると（即ち、NMOSTランジスター（２４７）及び（２４８）のゲートが電源電圧（ＶＣＣ）に連結されると）、ノード（２５６）の電位は更に高くなり、その結果、信号ライン（ＶＰＰ）の電位は更に低くなる。逆に、ノード（２５６）の電位を低くするためには、フューズ素子（２５３）及び（２５４）を切断すればよい。この場合、第２検出器信号（ＰＶＰＰ）は、ブースター電圧が目標レベル電圧より高いとしても続けてロウに維持する。これによりアクティブキッカー（１６０）を活性化させ、その結果、信号ライン（ＶＰＰ）の電位は更に上昇する。従って、ブースター電圧目標レベルは高く設定される。

【００３２】更に、本発明の好適な実施の形態に係る第２検出器（１４０）を含む電圧ブースティング回路（１００）は、向上された温度特性を有する。MOSTランジスターのゲート酸化膜が約６０～８０オングストロームの厚さを有すると仮定しよう。この条件下で、内部電源電圧（ＶＣＣ）がスタンバイ及びアクティブモードで上昇する際の温度（ $T_1=100^{\circ}\text{C}$ ）、（ $T_2=25^{\circ}\text{C}$ ）及び（ $T_3=-5^{\circ}\text{C}$ ）におけるブースター電圧（ＶＰＰ）の変化が図１１乃至図１３に示されている。

【００３３】図１１乃至図１３に示されたように、従来技術（図１２）の場合、内部電源電圧（ＶＣＣ）が２．２Ｖである時、ブースター電圧（ＶＰＰ）は T_1 で４Ｖであり、 T_2 で５．１９Ｖである。即ち、点線に表記さ

れた電圧範囲（2.2V）～（3.4V）で、従来技術によって得られたブースター電圧（VPP）は、他の温度条件下における傾きと相違する。これは、MOSトランジスターに予期しない動作をさせ、その結果、電圧ブースティング回路を含む半導体装置の信頼性を低下させる。これと反対に、図13から明らかなように、本発明の好適な実施の形態に係る電圧ブースティング回路によって得られたブースター電圧は温度条件に拘らずほぼ一定の傾きを有し、その結果、半導体装置の信頼性が向上する。

【0034】本発明に係る電圧ブースティング回路の動作をテストモードを通じて説明したが、本発明は、アクティブモードで内部電源電圧（VCC）（外部電源電圧）が特定電圧以上に上昇する場合にも適用され得る。

【0035】本発明を例示的な実施の形態を挙げて説明したが、本発明の技術的範囲は、上記の実施の形態に限定されないことを理解されたい。本発明は、多様な変形例及び均等な構成を含む。従って、特許請求の範囲の技術的範囲は、そのような変形例及び均等な構成を含むものとして解釈されるべきである。

【0036】

【発明の効果】本発明によれば、電圧ブースティング回路の検出器にオプション素子を含む補償電流供給部を備えることにより、電源電圧が高い電源電圧範囲に上昇した場合においてもブースター電圧目標レベルが急激に上昇することを防止することができ、また、ブースター電圧目標レベルを調節することができる。

【図面の簡単な説明】

【図1】従来技術による半導体装置の電圧ブースティング回路を示すブロック図である。

【図2】図1の第2検出器を示す回路図である。

【図3】本発明の好適な実施の形態に係る半導体装置の電圧ブースティング回路のブロック図である。

【図4】本発明の好適な実施の形態に係る第2電圧ブースティング回路における信号のタイミングを示す図面である。

【図5】本発明の好適な実施の形態に係る第1検出器の回路図である。

【図6】本発明の好適な実施の形態に係るラッチ制御信号発生器の回路図である。

【図7】本発明の好適な実施の形態に係るラッチ回路の回路図である。

【図8】本発明の好適な実施の形態に係るアクティブキッカー制御信号発生器の回路図である。

【図9】本発明の好適な実施の形態に係る第2検出器の回路図である。

【図10】従来技術及び本発明の好適な実施の形態によるブースター電圧の傾きを比較するための図面である。

【図11】本発明の好適な実施の形態における温度及び電源電圧とブースター電圧との関係を示す図面である。

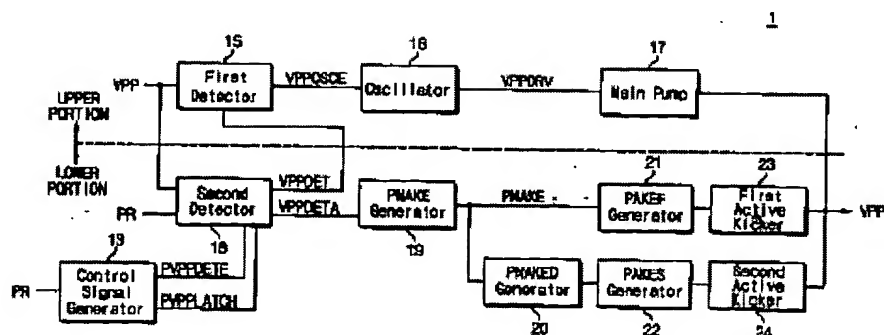
【図12】従来技術における温度及び電源電圧とブースター電圧との関係を示す図面である。

【図13】本発明の好適な実施の形態における温度及び電源電圧とブースター電圧との関係を示す図面である。

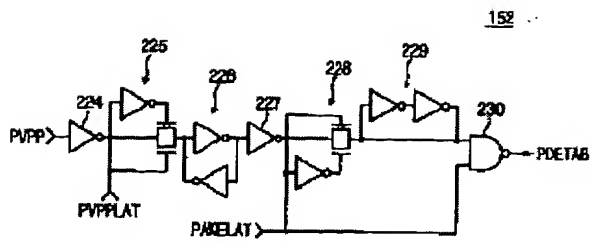
【符号の説明】

- 15, 100 : 第1検出器
- 16, 120 : 発振器
- 17, 130 : メインポンプ
- 18, 140 : 第2検出器
- 150 : アクティブキッカーコントローラ
- 160 : アクティブキッカー

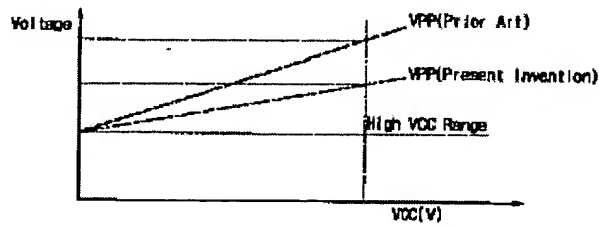
【図1】



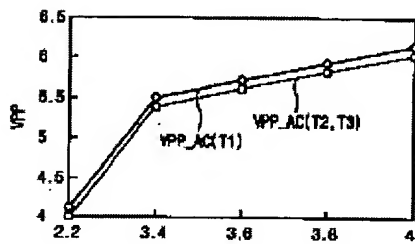
【図 7】



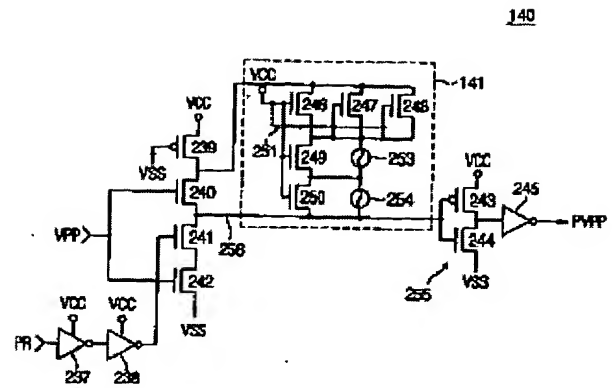
【図 10】



【図 13】



【図 9】



【図 12】

